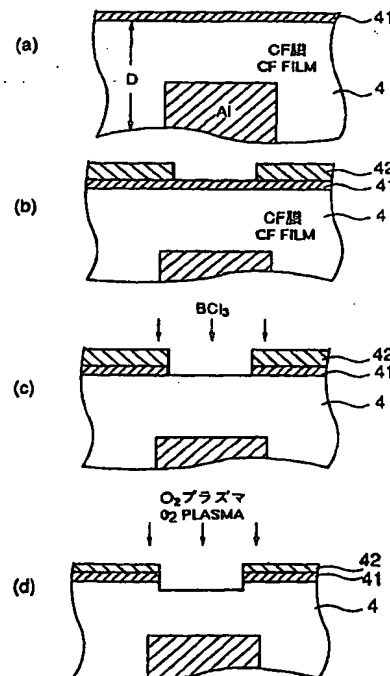




| | | |
|---|----|---|
| (51) 国際特許分類6 H01L 21/3065 | A1 | (11) 国際公開番号 WO98/21745 (43) 国際公開日 1998年5月22日(22.05.98) |
| (21) 国際出願番号 PCT/JP97/04099 (22) 国際出願日 1997年11月11日(11.11.97) (30) 優先権データ 特願平8/320912 1996年11月14日(14.11.96) JP (71) 出願人 (米国を除くすべての指定国について) 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)[JP/JP] 〒107 東京都港区赤坂五丁目3番6号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 赤堀 孝(AKAHORI, Takashi)[JP/JP] 〒192-03 東京都八王子市松本37-5 ベアーズバレス401 Tokyo, (JP) 石塚修一(ISHIZUKA, Shuichi)[JP/JP] 〒220-01 神奈川県津久井郡城山町原宿4-19-29 城山ニューハイツ202 Kanagawa, (JP) 遠藤俊一(ENDO, Shunichi)[JP/JP] 〒229 神奈川県相模原市相模原2-12-12 クリオ相模原式番館408 Kanagawa, (JP) | | 青木武志(AOKI, Takeshi)[JP/JP] 〒192 東京都八王子市大和田町6-14-5 メゾンドノア大和田430 Tokyo, (JP) 平田匡史(HIRATA, Tadashi)[JP/JP] 〒229 神奈川県相模原市橋本3-21-2 ドラゴンマンション橋本式番館1004 Kanagawa, (JP) (74) 代理人 弁理士 佐藤一雄, 外(SATO, Kazuo et al.) 〒100 東京都千代田区丸の内三丁目2番3号 富士ビル323号 協和特許法律事務所 Tokyo, (JP) (81) 指定国 KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書 |
| (54)Title: PROCESS FOR THE PRODUCTION OF SEMICONDUCTOR DEVICE (54)発明の名称 半導体素子の製造方法 (57) Abstract A process for the production of a semiconductor device, which enables the practical use of a carbon fluoride film (hereinafter referred to as "CF film") as the interlayer insulator film. The deposition of a conductive film such as a TiN film (41) on a CF film (4) and the patternwise deposition of a resist film (42) on the film (41) are conducted successively, followed by the etching of the TiN film (41) with BCl_3 gas or the like. Although the subsequent irradiation of the resulting wafer with O_2 plasma makes not only the CF film but also the resist film (42) etched chemically, predetermined holes can be formed by virtue of the action of the TiN film (41) as a mask. Then, wiring is formed of aluminum or the like on the surface of the CF film (4). The TiN film (41) is effective in making the wiring and the CF film (4) adhere tightly to each other and serves as a part of the wiring. An insulator film made of SiO_2 or the like may be used as the mask instead of the conductive film. | | |



フッ素添加カーボン膜（以下「CF膜」という）を用いた層間絶縁膜の実用化を図るためにCF膜の工程を可能にすること。

CF膜4の上に導電膜例えばTiN膜41を形成し、その上にレジスト膜42のパターンを形成した後、例えばBCl₃ガスによりTiN膜41をエッチングする。その後O₂プラズマをウエハ表面に照射すると、CF膜を化学エッチングすると共にレジスト膜42もエッチングするが、TiN膜41がマスクの役割を果たすため、予定のホールを形成することができる。CF膜4の表面はアルミニウムなどによって配線が形成されるが、TiN膜41は配線とCF膜4との密着層の役割を果たし、また配線の一部となる。マスクとしては導電膜の代りにSiO₂などの絶縁膜を用いてもよい。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード（参考情報）

AL アルバニア
AM アーメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA バルバドス
BB ベルギー
BF ブルキナファソ
BG ブルガリア
BH バハレーン
BI ベナール
BJ ベナン
BR ブラジル
BS バハマ
BT ブータン
BU 中央アジア共和国
CC コモロ
CF コンゴ
CG コンゴ
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CO コロンビア
CR キューバ
CU キューバ
DE ドイツ
DK デンマーク
EE エストニア

FI フィンランド
FR フランス
GB 英国
GG ガンジー
GH ガナ
GM ガンビ
GN ギニア
GR ギリシャ
HU ハンガリー
IE アイルランド
IL イスラエル
IN インド
IT イタリア
JP 日本
KE ケニア
KG キルギス
KR 韓国
KZ カザフスタン
LL リトアニア
LS レソト
LT リトアニア
LV ラトヴィア
MC モナコ
MD モルドバ
MG マダガスカル
MK マケドニア共和国
ML モリタニア
MR モリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NZ ニュージーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SE スウェーデン
SG シンガポール
SI スロベニア
SK スロバキア
SL シエラレオネ

LT リトアニア
LV ラトヴィア
MC モナコ
MD モルドバ
MG マダガスカル
MK マケドニア共和国
ML モリタニア
MR モリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NZ ニュージーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SE スウェーデン
SG シンガポール
SI スロベニア
SK スロバキア
SL シエラレオネ

SN セネガル
SZ ス威士
TG トーゴ
TM トルクメニスタン
TR トルクメニスタン
TT トリニダード・トバゴ
UG ウガンダ
US アメリカ合衆国
UZ ウズベキスタン
VN ベトナム
VU ヴニジュ
ZW ジンバブエ

明 細 書

半導体素子の製造方法

技術分野

本発明はフッ素添加カーボン膜を用いた半導体素子の製造方法に関する。

背景技術

半導体デバイスの高集積化を図るために、パターンの微細化、回路の多層化といった工夫が進められており、そのうちのひとつとして配線を多層化する技術がある。多層配線構造をとるためには、 n 層目の配線層と $(n+1)$ 番目の配線層の間を導電層で接続すると共に、導電層以外の領域は層間絶縁膜と呼ばれる薄膜が形成される。

この層間絶縁膜の代表的なものとして SiO_2 膜があるが、近年デバイスの動作についてより一層の高速化を図るために層間絶縁膜の比誘電率を低くすることが要求されており、層間絶縁膜の材質についての検討がなされている。即ち SiO_2 は比誘電率がおよそ4であり、これよりも小さい材質の発掘に力が注がれている。そのうちのひとつとして比誘電率が3.5である SiOF の実現化が進められているが、本発明者は比誘電率が更に小さいフッ素添加カーボン膜に注目している。

ところでフッ素添加カーボン膜については未知の部分が多く、フッ素添加カーボン膜自体の製法も模索している段階であり、例えばエッチング工程について見ると、 SiO_2 膜のエッチングガスとして用いられていた CF_4 などの CF 系のガスでは、エッチングすべき膜自体が CF 系のものであるためエッチングを行うことができず、従来の工程をそのまま適用できない。従ってフッ素添加カーボン膜

が層間絶縁膜として好適であるといっても、実用化を達成するには多くの課題をかかえている。

発明の開示

本発明は、その中でもエッチング工程に関する課題を取り上げてなされたものであり、フッ素添加カーボン膜のエッチングを可能にすることができ、フッ素添加カーボン膜を用いた層間絶縁膜の実用化を主たる目的とするものである。

本願の第1の発明は、フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、

次いで前記絶縁膜上にレジスト膜によりパターンを形成する工程と、

その後酸素プラズマにより前記絶縁膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする。この発明は、具体的には例えば次のような工程となる。エッチングにより絶縁膜に予定とする凹部が形成された時点では、絶縁膜上にレジスト膜が残存している。酸素プラズマによるフッ素添加カーボン膜のエッチング速度とレジスト膜のエッチング速度とが揃っている。

本願の第2の発明は、フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、

次いで前記絶縁膜上にレジスト膜によりパターンを形成する工程と、

その後酸素プラズマ生成用ガス及びシラン系化合物ガスを含む処理ガスをプラズマ化してそのプラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする。

本願の第3の発明は、フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、

次いで前記絶縁膜上に酸素プラズマに耐性のある保護膜を成膜する工程と、

その後この保護膜の上にレジスト膜によりパターンを形成する工程と、

次にレジスト膜のパターンに対応して露出している保護膜をエッチングして除去する工程と、

その後酸素プラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする。この場合保護膜は、例えば絶縁膜であってもよいし、導電膜であってもよい。

本願の第4の発明は、フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、

次いで前記絶縁膜上にチタンナイトライド膜を成膜する工程と、

その後このチタンナイトライド膜の上にレジスト膜によりパターンを形成する工程と、

次にレジスト膜のパターンに対応して露出している前記チタンナイトライド膜をエッチングして除去する工程と、

その後酸素プラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする。

以上において、フッ素添加カーボン膜の下方側に金属層が形成されている場合には、フッ素添加カーボン膜がエッチングされて前記金属層が露出した後は、アルゴンプラズマにより金属層表面の酸化物を除去することが好ましい。

図面の簡単な説明

図1は、本発明方法によって製造される半導体素子の一部を示す説明図である。

図2は、本発明方法の実施の形態を示す説明図である。

図3は、本発明方法の他の実施の形態を示す説明図である。

図4は、本発明方法と比較した方法の説明図である。

図5は、本発明方法を実施するためのプラズマ処理装置の一例を示す縦断側面図である。

図6は、本発明の更に他の実施の形態を示す説明図である。

図7は、本発明の更に他の実施の形態を示す説明図である。

図8は、CF膜のエッチング特性を示す特性図である。

発明を実施するための最良の形態

本発明の実施の形態では、フッ素添加カーボン膜（以下「CF膜」という）をエッチングする工程に特徴があるが、本発明方法を利用して製造される半導体素子の構造の一例を図1（a）、（b）に示しておく。1はシリコン基板、11はBPSG膜（ SiO_2 にP及びBがドーパされた膜）、12はn型半導体領域、13は、BPSG膜11のスルーホールに埋め込まれた例えばW（タングステン）よりなる電極であり、これらは回路主要部の一部に相当する。この回路主要部の上には、例えばアルミニウムよりなる配線15が多層に形成され、上下の配線15、15（図示せず）は、層間絶縁膜16に形成されたビアホールに埋め込まれた例えばWよりなる導電層17により互に接続されている。

このような半導体素子を製造するにあたって層間絶縁膜をエッチングする工程に関して以下に述べていく。図2（a）は例えばn層目のアルミニウム配線が形成された状態を示しており、絶縁膜14の上に図2（b）に示すようにCF膜よりなる1層目の層間絶縁膜16が形成される。CF膜は、例えばCF系のガス及びCH系のガスを成膜ガスとして、プラズマCVD（Chemical Vapor Deposition）法、により成膜することができる。例えば C_4F_8 ガス及び C_2H_4 ガスを用い、エッチング装置でもある後述のECR（電子サイクロトロン共鳴）プラズマ処理装置を用いて例えば厚さ $0.7\mu\text{m}$ に成膜される。

次いで図2（c）に示すようにCF膜（層間絶縁膜16）の表面に所定のパターンでレジスト膜18が形成される。このレジスト膜18は例えばスピンコート

ィング法によりウエハ表面にレジスト液を塗布し、露光、現像工程を経て形成される。レジストの材料としては、アジド化合物、ポリビニルフェノール、メタクリル酸化合物、ノボラック樹脂、ポリスチレン系樹脂といった有機材料が用いられる。

その後ウエハ表面に O_2 プラズマ（酸素プラズマ）を照射してCF膜をエッチングする。CF膜に O_2 プラズマが当たると、 O_2 の活性種がC-F結合及びC-C結合を切断してCOあるいは CO_2 となって飛散すると共に、Fについても F_2 などとなって飛散する。こうしてCF膜が O_2 プラズマによって化学エッチングされていく。

ところでレジスト膜18は有機系材料であるため O_2 プラズマによってやはり化学的にエッチングにより除去されてしまう。従ってCF膜のエッチングとレジスト膜18のエッチングによる除去とが同時に進行するが、レジスト膜18が全てエッチングにより除去される前に、CF膜の表面からアルミニウム配線15までのエッチングが終了すれば、図2（d）に示すように予定とするビアホール19が形成される。このためにはレジスト膜18のエッチングによる除去の速度とCF膜のエッチングの速度を予め把握してレジスト膜18の膜厚を設定すればよい。

レジスト膜18のエッチングによる除去の速度とCF膜のエッチングの速度が同じであればCF膜の表面が平坦化される。一般的にはレジスト膜18を除去した後、層間絶縁膜の表面を平坦化するためにCMPなどと呼ばれる機械的研磨工程が行われるが、この場合にはCMP工程が不要になるという利点がある。レジスト膜のエッチングによる除去の速度とCF膜のエッチングの速度が異なる場合には、予定とするホールが形成される前に（アルミニウム表面までエッチングされる前に）レジスト膜18が全部除去されないようにすることが望ましい。ホールが形成されたときにレジスト膜18が残っていれば、その後レジスト膜18の

エッチング終了時点を、例えばCOやCO₂の発光量の変化に基づいて検出することにより、CF膜の膜厚を変動させることなくレジスト膜の除去及びホール形成を行うことができる。

本発明の他の実施の形態では、図3に示すようにO₂ガスとシラン系のガス例えばSiH₄、Si₂H₆ガスなどを用いてCF膜のエッチングを行う。図3はこのようなエッチングの様子を示す図であり、エッチングと同時にホール19の側壁に、SiH₄とO₂との反応によってSiO₂よりなる保護膜19aが形成され、側壁のエッチングが抑制される。

O₂ガスのみによってエッチングを行う場合、図4に示すように凹部19の側壁もエッチングされて横に膨らむボーイングと呼ばれる状態になるため、高アスペクト比の凹部19をエッチングすることが困難であると考えられる。従ってこの手法によればアスペクト比の高いビアホールやスルーホールのエッチングを行うことができる。この場合O₂ガスに対するシラン系ガスの比率が大きいと保護膜が成長し過ぎて凹部の形状が悪くなるため、エッチング条件等に応じてシラン系ガスの混合比を設定することが必要である。この方法は、後述する絶縁膜や導電膜をCF膜の表面に形成する方法と組み合わせて実施してもよい。

本発明方法は例えば図5に示すプラズマ処理装置により実施することができる。この装置はアルミニウム等により形成された真空容器2を有しており、この真空容器2は上方に位置してプラズマを発生させる筒状のプラズマ室21と、この下方に連通させて連結され、プラズマ室21よりは口径の大きい筒状の処理室22とからなる。なおこの真空容器2は接地されてゼロ電位になっている。

この真空容器2の上端は、開口されてこの部分にマイクロ波を透過する部材例えば石英等の材料で形成された透過窓23が気密に設けられており、真空容器2内の真空状態を維持するようになっている。この透過窓23の外側には、例えば2.45GHzのプラズマ発生用高周波供給手段としての高周波電源部24に接

続された導波管 2 5 が設けられており、高周波電源部 2 4 に発生したマイクロ波 M を導波管 2 5 で案内して透過窓 2 3 からプラズマ室 2 1 内へ導入し得るようになっている。プラズマ室 2 1 を区画する側壁には例えばその周方向に沿って均等に配置したプラズマガスノズル 2 6 が設けられている。

また、プラズマ室 2 1 を区画する側壁の外周には、これに接近させて磁界形成手段として例えばリング状の主電磁コイル 2 7 が配置されると共に、成膜室 2 2 の下方側にはリング状の補助電磁コイル 2 8 が配置され、プラズマ室 2 1 から処理室 2 2 に亘って上から下に向かう磁界例えば 8 7 5 ガウスの磁界 B を形成し得るようになっており、E C R プラズマ条件が満たされている。なお電磁コイルに代えて永久磁石を用いてもよい。

このようにプラズマ室 2 1 内に周波数の制御されたマイクロ波 M と磁界 B とを形成することにより、これらの相互作用により上記 E C R プラズマが発生する。この時、前記周波数にて前記導入ガスに共鳴作用が生じてプラズマが高い密度で形成されることになる。すなわちこの装置は、電子サイクロトロン共鳴 (E C R) プラズマ処理装置を構成することになる。

前記載置台 3 は、例えばアルミニウム製の本体 3 1 の上に、ヒータ 3 2 を内蔵したセラミックス体 3 3 を設けてなり、載置面は静電チャックとして構成されている。更に載置台 3 の本体 3 1 には、ウエハ W にイオンを引き込むためのバイアス電圧を印加するように例えば高周波電源部 3 4 が接続されている。バイアス電圧の電極は例えば静電チャックの電極と兼用している。そしてまた真空容器 2 の底部には排気管 3 5 が接続されている。なお 3 0 は成膜処理を行うときに用いられるリング状の成膜ガス供給部である。

次に上述の装置を用いて被処理体であるウエハ 1 0 上に対してエッチングを行う方法について説明する。まず、真空容器 2 の側壁に設けた図示しないゲートバルブを開いて図示しない搬送アームにより、ウエハ 1 0 を図示しないロードロッ

ク室から搬入して載置台 3 上に載置する。

続いて、このゲートバルブを閉じて内部を密閉した後、排気管 35 より内部雰囲気気を排出して所定の真空度まで真空引きし、プラズマガスノズル 26 からプラズマ室 21 内へ O_2 ガスを導入すると共に成膜ガス供給部 30 からシラン系ガス例えば SiH_4 ガスを導入する。そして真空容器 2 内を所定のプロセス圧に維持し、かつ高周波電源部 34 により載置台 3 に 13.56 MHz のバイアス電圧を印加する。

プラズマ発生用高周波電源部 24 からの 2.45 GHz の高周波（マイクロ波）は、導波管 25 を搬送されて真空容器 2 の天井部に至り、ここの透過窓 23 を透過してマイクロ波 M がプラズマ室 21 内へ導入される。このプラズマ室 21 内には、電磁コイル 27、28 により発生した磁界 B が上方から下方に向けて例えば 875 ガウスの強さで印加されており、この磁界 B とマイクロ波 M との相互作用で E （電界） \times B （磁界）を誘発して電子サイクロトロン共鳴が生じ、この共鳴により O_2 ガスがプラズマ化され、且つ高密度化される。

プラズマ生成室 21 より処理室 22 内に流れ込んだプラズマ流は、バイアス電圧によりウエハ 10 に引き込まれ、ウエハ 10 の表面のエッチングが行われる。

ここで本発明者は、図 5 に示すプラズマ処理装置を用い、 C_4F_8 ガス及び C_2H_4 ガスを成膜ガスとし、また Ar ガスをプラズマガスとしてウエハ 10 上に CF 膜を形成すると共に、レジスト処理装置及び露光装置を用いて、アジド化合物系のレジスト膜により CF 膜上にパターンを形成したものを用意した。このウエハに対して前記プラズマ処理装置を用いて、 O_2 ガスをプラズマガスノズル 26 から 100 sccm の流量で供給したところ、幅 0.3 μm 、アスペクト比 1 のホールを形成することができ、レジスト膜も同時にエッチングすることができた。ただし、プロセス圧を 0.2 Pa、マイクロ波電力を 2500 W、バイアス電力を 1500 W、載置台 3 の表面温度を 270°C に設定した。

また SiH_4 ガスを2 s c c m供給した他は同様にしてエッチングを行ったところアスペクト比2のホールを良好な形状で形成することができた。

次に本発明の他の実施の形態について説明する。この実施の形態では図6 (a)に示すように例えば厚さDが8 0 0 0オングストロームのCF膜4の表面に例えば厚さ3 0 0オングストロームの導電膜例えばTiN (チタンナイトライド) 膜41を形成する。このTiN膜41は、例えばTiをターゲットとし、Arガスと N_2 ガスとを用いて反応性スパッタリングを行うことにより成膜することができる。

続いて前記TiN膜41の表面にレジスト膜42によりマスクを形成する(図6 (b))。なおこの図6ではCF膜の盛り上がりについては省略してある。その後TiN膜41を図6 (c)に示すように例えば BCl_3 ガスのプラズマによりCF膜4の表面までエッチングを行う。このエッチングは例えば既述のプラズマ処理装置で行うことができる。しかる後 O_2 プラズマをウエハ表面に照射すると、CF膜4がエッチングされ、またレジスト膜42もエッチングにより除去される(図6 (d))。

レジスト膜42が除去された後は、TiN膜41がマスクの役割を果たし、パターンに対応するCF膜の領域だけがエッチングされ、予定としているビヤホールやスルーホールを形成することができる(図7 (a))。CF膜のエッチングが終了してアルミニウム配線の表面が露出すると、 O_2 ガスからArガスに切り換えて、Arイオンによるスパッタエッチングによりアルミニウム配線表面の酸化物を除去する(図7 (b))。その後ホールを例えばタングステン(W)などの金属43により埋め込んで接続層を形成すると共に、例えば第二層目の配線を形成する(図7 (c))。ホールの埋め込みや配線の形成はアルミニウムを用いてスパッタリングにより行ってもよい。

このような方法によればTiN膜41がいわばハードマスクの役割りを果たす

ので、レジスト膜及びCF膜の両方が O_2 プラズマに対して耐性がなくとも、CF膜のエッチングを行うことができる。またCF膜のエッチング中にレジスト膜42が除去されるので、後工程の O_2 アッシングによるレジスト膜42の除去工程が不要になる。そしてタングステン層やアルミニウム層をCF膜の上に形成するにあたって、TiN膜41がそのままこれら金属層とCF膜とを密着させる密着層の役割を果たすので何ら悪影響を及ぼすものではなく、わざわざ除去する必要もない。なおTiN膜41の不要な部分は配線を形成するとき、つまり金属層をエッチングするときに同時に除去できる。

絶縁膜の表面に金属層を形成する場合にはもともと密着層が必要であり、従来からTiNが使用されているので、ハードマスクとしてTiNを用いる方法は密着層をも同時に形成するので有効な方法である。更にTiNは導電層であるため、層間絶縁膜側に含まれるのではなく配線の一部とみなせるので層間絶縁膜の比誘電率が高くなるのを抑えられる。更にまたアルミニウム配線が仮に断線しても配線の下地にあるTiN膜により導電路が確保され、素子の動作不良を防止することができる。導電膜としてはTiN以外に、Al、W、Ti、TiW、TiWN、ポリシリコンなどを用いることができる。

以上において本発明では、ハードマスクとして導電膜の代りに絶縁膜を用いてもよい。絶縁膜の材質としては例えば SiO_2 、 $SiOF$ あるいは Si_3N_4 などを用いることができる。この場合絶縁膜をエッチングする工程（既述の図6(c)に相当する工程）は、例えば CF_4 ガスを用い、フッ素ラジカルにより絶縁膜がエッチングされる。

ハードマスクは、層間絶縁膜の一部になるためそのまま残して次工程例えばアルミニウムやタングステンの埋め込み工程を行ってもよいが、例えばHF液によるウェットエッチングにより絶縁膜全部を除去するようにしてもよい。絶縁膜をハードマスクとして用いる場合、その厚さは例えば100オングストローム以上

あればハードマスクの機能を果たすが、素子の中に残す場合には厚さがあまり大きいと、この絶縁膜をも含めた層間絶縁膜のトータルの比誘電率が大きくなってしまうので、CF膜の厚さの1/3程度以下が好ましいと考えられる。

図8は O_2 プラズマと NF_3 プラズマとを用いて、図5に示す装置によりCF膜のエッチング特性を調べた結果であり、この図からもCF膜のエッチングを行うにあたって O_2 プラズマが有効であることが理解される。

以上のように本発明によればCF膜のパターンエッチングを行うことができ、例えばCF膜を用いた層間絶縁膜の実用化を図ることができる。

請求の範囲

1. フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、
次いで前記絶縁膜上にレジスト膜によりパターンを形成する工程と、
その後酸素プラズマにより前記絶縁膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法。
2. エッチングにより絶縁膜に予定とする凹部が形成された時点では、絶縁膜上にレジスト膜が残存していることを特徴とする請求項1記載の半導体素子の製造方法。
3. 酸素プラズマによるフッ素添加カーボン膜のエッチング速度とレジスト膜のエッチング速度とが揃っていることを特徴とする請求項1記載の半導体素子の製造方法。
4. フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、
次いで前記絶縁膜上にレジスト膜によりパターンを形成する工程と、
その後酸素プラズマ生成用ガス及びシラン系化合物ガスを含む処理ガスをプラズマ化してそのプラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法。
5. フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、
次いで前記絶縁膜上に酸素プラズマに耐性のある保護膜を成膜する工程と、
その後この保護膜の上にレジスト膜によりパターンを形成する工程と、
次にレジスト膜のパターンに対応して露出している保護膜をエッチングして除去する工程と、
その後酸素プラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法。
6. 保護膜は、絶縁膜であることを特徴とする請求項5記載の半導体素子の

製造方法。

7. 保護膜は、導電膜であることを特徴とする請求項5記載の半導体素子の製造方法。

8. フッ素添加カーボン膜よりなる絶縁膜を被処理体上に成膜する工程と、
次いで前記絶縁膜上にチタンナイトライド膜を成膜する工程と、
その後このチタンナイトライド膜の上にレジスト膜によりパターンを形成する工程と、

次にレジスト膜のパターンに対応して露出している前記チタンナイトライド膜をエッチングして除去する工程と、

その後酸素プラズマによりフッ素添加カーボン膜をエッチングしながらレジスト膜を除去する工程と、を含むことを特徴とする半導体素子の製造方法。

9. フッ素添加カーボン膜の下方側には金属層が形成され、フッ素添加カーボン膜がエッチングされて前記金属層が露出した後は、アルゴンプラズマにより金属層表面の酸化物を除去することを特徴とする請求項1、2、3、4、5、6、7または8記載の半導体素子の製造方法。

1/7

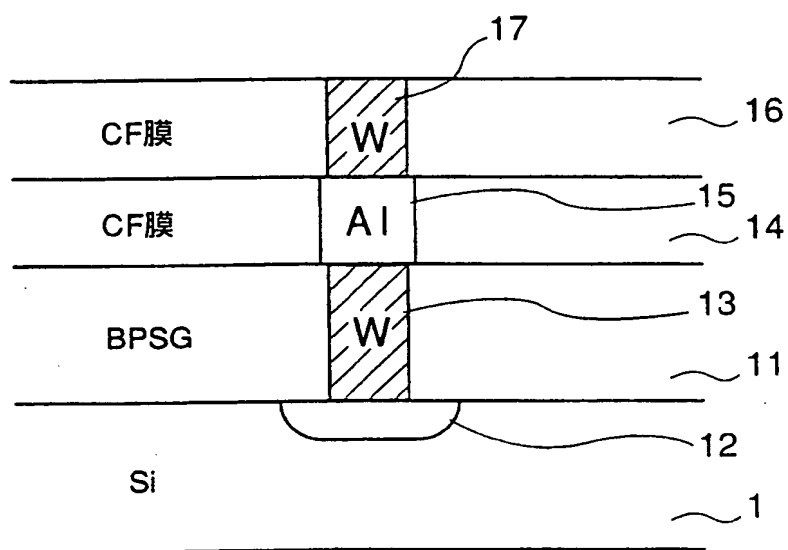


FIG.1

2/7

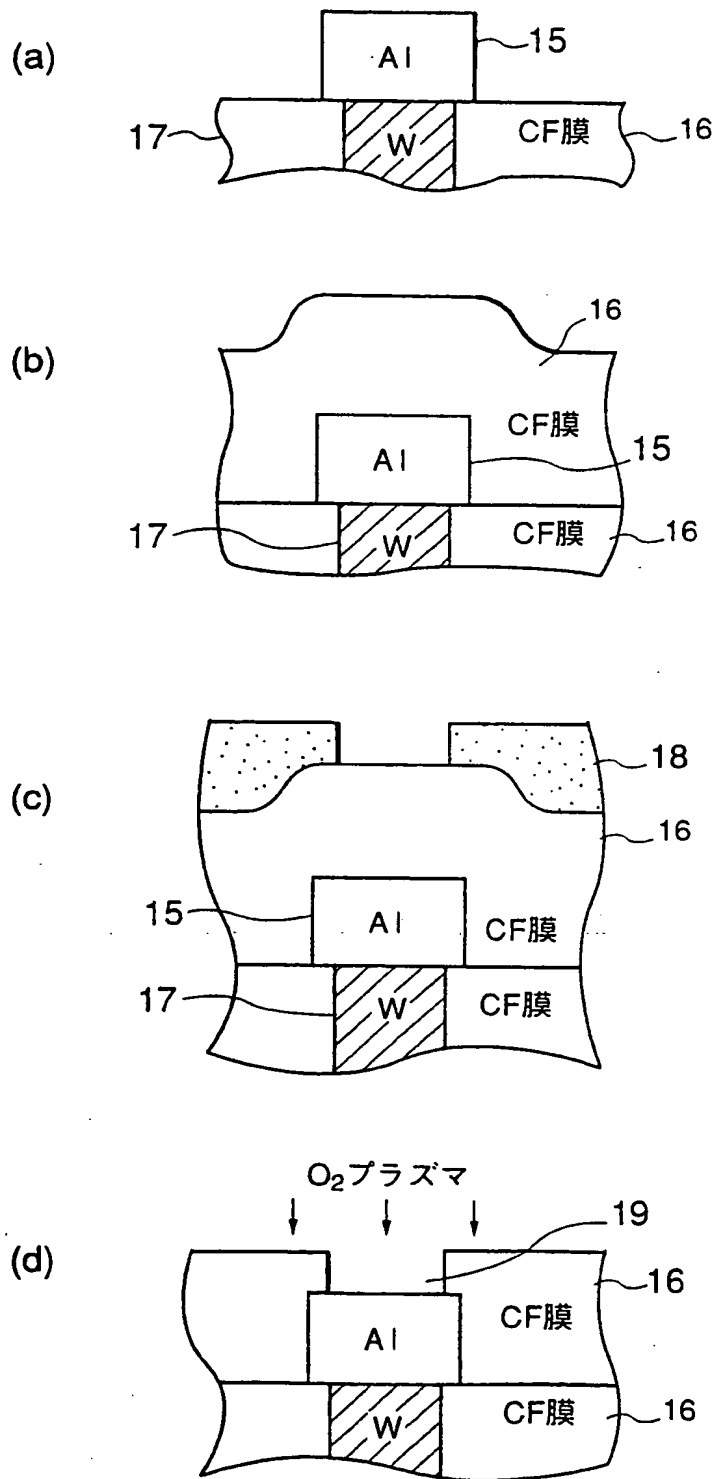


FIG. 2

3/7

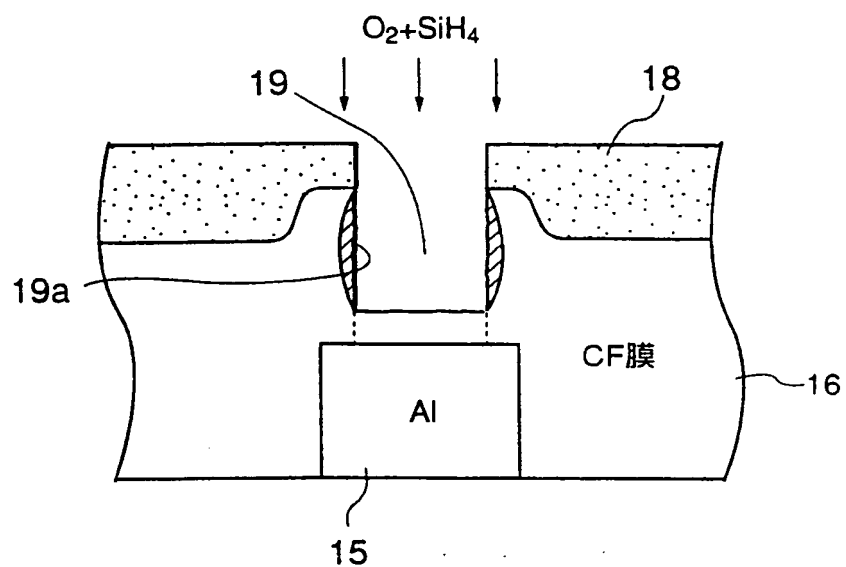


FIG.3

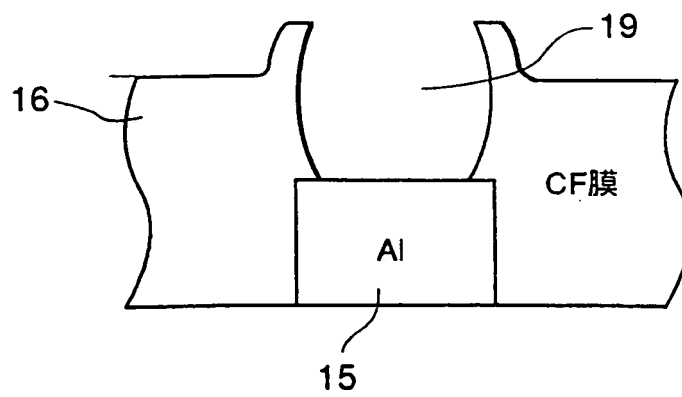


FIG.4

5/7

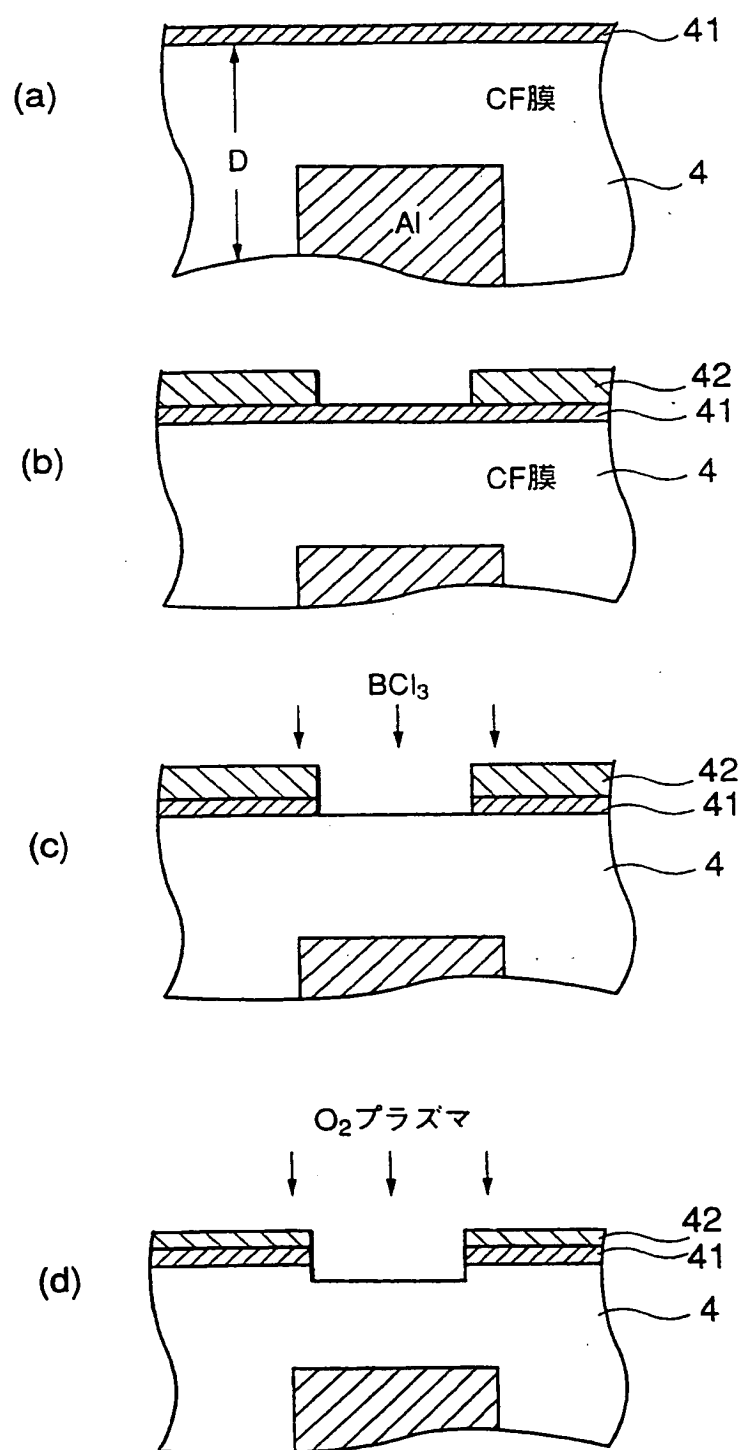


FIG. 6

6/7

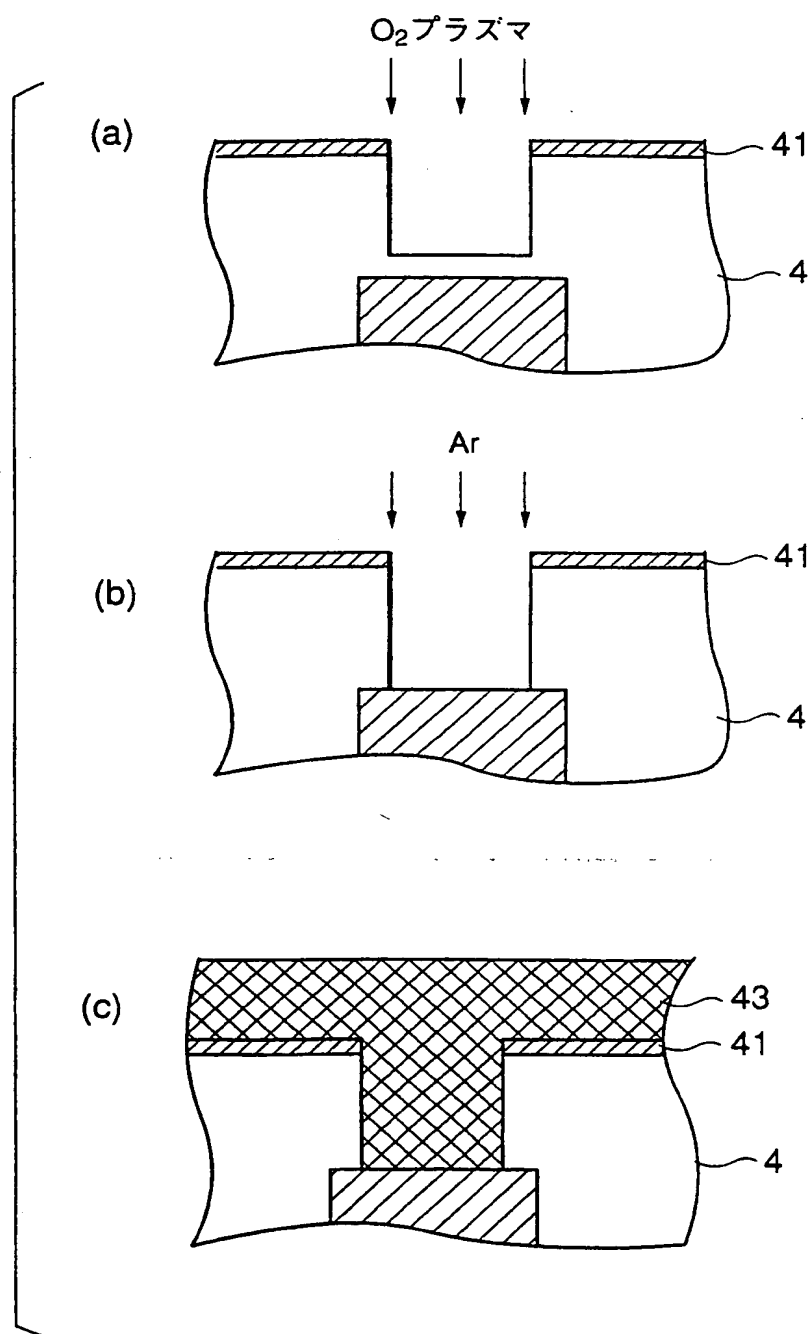


FIG. 7

7/7

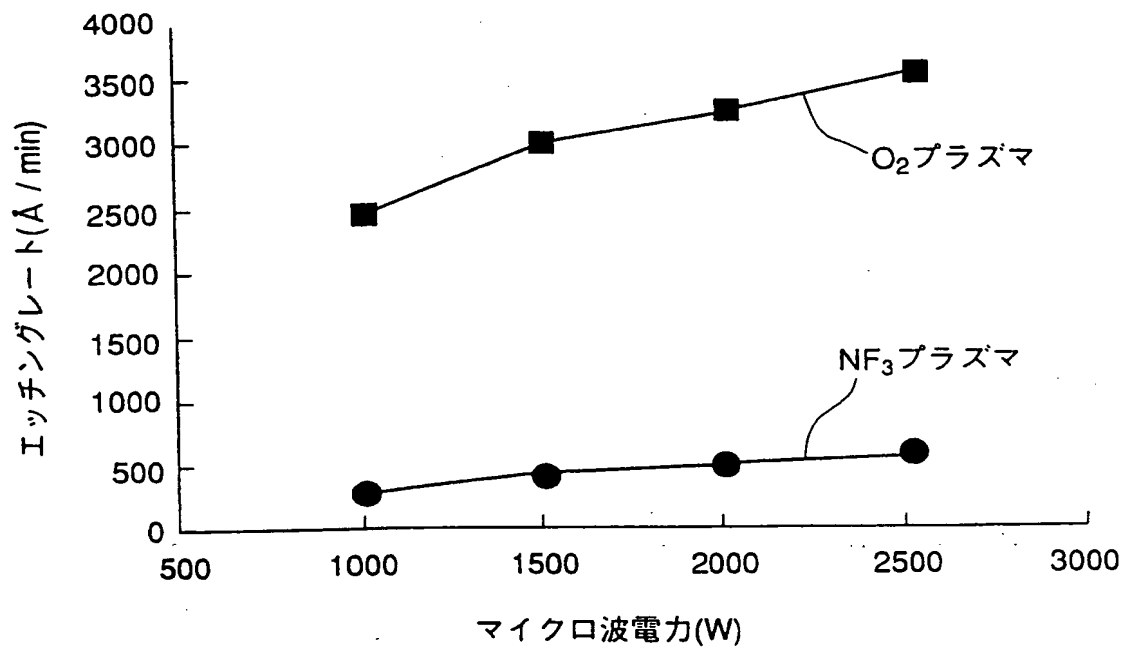


FIG. 8